

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-290315

(43)Date of publication of application : 27.10.1998

(51)Int.Cl.

H04N 1/00  
G06F 13/00

(21)Application number : 09-097538

(71)Applicant : MITA IND CO LTD

(22)Date of filing : 15.04.1997

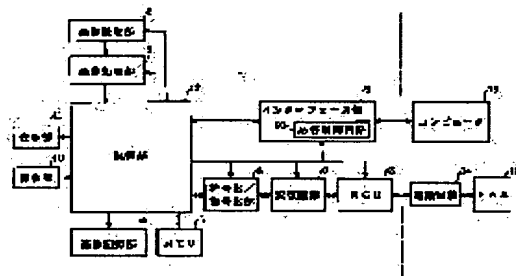
(72)Inventor : MATSUO KOICHI  
SHIBATA KOICHI  
OYAMA SHOICHI  
MORI TOSHIHIRO  
SUGIMOTO TETSUYA

## (54) FACSIMILE EQUIPMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the processing efficiency in the case that main body processing and communication processing are in duplicate by enabling parallel processing of both the main body processing and communication processing.

**SOLUTION:** When main body communication processing is interrupted by a computer 13 connected via an interface section 9 in the midst of the main body processing conducted singly by a control section 12 of the facsimile equipment 1 for the facsimile equipment main body, a reply control circuit expands a data communication interval with the computer 13 by a preset prescribed time, the control section 12 conducts communication processing at a lower speed than a standard communication speed and conducts main body processing during processing in time division for a period when the communication interval is extended so as to process both the main body processing and the communication processing in parallel. When the main body processing and the communication processing are in duplicate, the data communication interval is extended and the main body processing is conducted for the extended period to attain the parallel processing.



## LEGAL STATUS

[Date of request for examination] 04.07.2000

[Date of sending the examiner's decision of rejection] 28.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-290315

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
H 0 4 N 1/00	1 0 7	H 0 4 N 1/00 1 0 7 A
G 0 6 F 13/00	3 5 4	G 0 6 F 13/00 3 5 4 A

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21) 出願番号 特願平9-97538

(22) 出願日 平成9年(1997)4月15日

(71) 出願人 000006150

三田工業株式会社

大阪府大阪市中央区玉造1丁目2番28号

(72) 発明者 松尾 浩一

大阪市中央区玉造1丁目2番28号 三田工業株式会社内

(72) 発明者 柴田 浩一

大阪市中央区玉造1丁目2番28号 三田工業株式会社内

(72) 発明者 大山 昌一

大阪市中央区玉造1丁目2番28号 三田工業株式会社内

(74) 代理人 弁理士 小谷 悦司 (外3名)

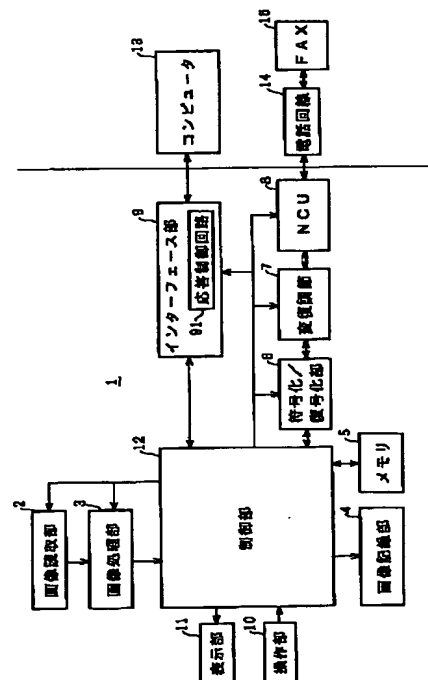
最終頁に続く

(54) 【発明の名称】 ファクシミリ装置

(57) 【要約】

【課題】 本体処理と通信処理との並列処理を可能にし、両処理が重複した場合の処理効率を向上する。

【解決手段】 ファクシミリ装置1の制御部12が装置本体が単独で行なう本体処理をしている最中にインターフェース部9を介して接続されたコンピュータ13から通信処理が割り込まれると、応答制御回路91によりコンピュータ13とのデータ通信間隔が予め設定された所定時間だけ伸長され、制御部12は標準に通信速度より低速で通信処理を行なうとともに、通信間隔の伸長された期間に処理中の本体処理を時分割で行なうことにより両方の処理を並列的に処理する。本体処理と通信処理とが重複したとき、データ通信間隔を伸長し、この伸長時間に本体処理を行なうことで並列処理を可能にした。



**【特許請求の範囲】**

【請求項 1】 インターフェース部を介してコンピュータと通信可能に外部接続され、当該コンピュータからのコマンドに従って所定の通信処理を行なうファクシミリ装置において、上記コンピュータとのデータ通信間隔を予め設定された所定の時間だけ伸長する通信間隔伸長手段と、上記通信間隔伸長手段で伸長された通信間隔に装置本体が単独で行なう本体処理を時分割で割込処理する処理制御手段とを備え、上記本体処理及び上記通信処理の並列処理が可能になされたことを特徴とするファクシミリ装置。

【請求項 2】 請求項 1 記載のファクシミリ装置において、上記処理制御手段は、本体処理を行なっている最中に通信処理が割り込まれたとき、割込時点において処理中の本体処理と割り込まれた通信処理との並列処理を行なうものであることを特徴とするファクシミリ装置。

【請求項 3】 請求項 2 記載のファクシミリ装置において、上記本体処理の内容を判別する判別手段と、上記判別手段の判別結果に応じて上記データ通信間隔の伸長時間を変更する変更手段とを備えたことを特徴とするファクシミリ装置。

【請求項 4】 請求項 1～3 のいずれかに記載のファクシミリ装置において、上記本体処理と上記通信処理との並列処理を行なう並列処理モードが設定可能になされ、上記処理制御手段は、上記並列処理モードが設定されたとき、上記本体処理と上記通信処理との並列処理を行なうものであることを特徴とするファクシミリ装置。

【請求項 5】 請求項 4 記載のファクシミリ装置において、上記並列処理モードは、上記コンピュータからのコマンドにより設定又は解除がなされるものであることを特徴とするファクシミリ装置。

【請求項 6】 請求項 5 記載のファクシミリ装置において、上記コンピュータからの並列処理モードに関するコマンドの許可を指示する第 1 の指示手段と、上記並列処理モードを設定又は解除を指示する第 2 の指示手段とを備えたことを特徴とするファクシミリ装置。

【請求項 7】 請求項 1～6 のいずれかに記載のファクシミリ装置において、上記コンピュータから送信されるデータは、上記インターフェース部で一旦、受信された後、装置本体に転送されるものであり、上記通信間隔伸長手段は、インターフェース部から装置本体へのデータ転送の間隔を伸長することにより上記コンピュータとのデータ通信間隔を伸長するものであることを特徴とするファクシミリ装置。

【請求項 8】 請求項 7 記載のファクシミリ装置において、上記通信間隔伸長手段は、上記インターフェース部に設けられ、上記コンピュータから送信されたコマンドデータを転送するべく上記インターフェース部から装置本体に送信される割込信号の装置本体への入力タイミングを遅延させる遅延手段からなることを特徴とするファクシミリ装置。

クシミリ装置。

【請求項 9】 請求項 7 記載のファクシミリ装置において、上記通信間隔伸長手段は、上記装置本体に設けられ、上記コンピュータから送信されたコマンドデータを転送するべく上記インターフェース部から装置本体に送信される割込信号の受付間隔を予め設定された所定の時間以上に制限する受付間隔制限手段からなるものであることを特徴とするファクシミリ装置。

【請求項 10】 請求項 7 記載のファクシミリ装置において、上記通信間隔伸長手段は、上記コンピュータから送信されたデータを DMA 転送するべく上記インターフェース部から装置本体に送信されるデータ転送要求信号の装置本体への入力タイミングを遅延させる遅延手段からなることを特徴とするファクシミリ装置。

【請求項 11】 請求項 1～6 のいずれかに記載のファクシミリ装置において、上記インターフェース部は、上記コンピュータからのデータを受信すると、正常受信を示す受信確認信号をコンピュータに送信するものであり、上記通信間隔伸長手段は、上記インターフェース部に設けられ、上記インターフェース部から送信される上記受信確認信号の上記コンピュータへの入力タイミングを遅延させる遅延手段からなるものであることを特徴とするファクシミリ装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、コンピュータと通信可能に外部接続され、コンピュータとのシェークハンド方式による通信により当該コンピュータからのコマンドに従って所定の通信処理を行なうファクシミリ装置に関するものである。

**【0002】**

【従来の技術】 従来、RS-232C やパラレルインターフェース等のインターフェースを備え、このインターフェースを介してコンピュータを通信可能に外部接続することのできるファクシミリ装置が知られている。

【0003】 かかるファクシミリ装置では、装置本体が単独で行なうファクシミリデータの送受信処理やコピー処理（以下、この装置本体の単独の処理を本体処理という。）の他、コンピュータからのコマンドに従って当該コンピュータから送信されるデータに対してプリントアウトやファクシミリデータの送受信等の所定の処理（以下、この処理を通信処理という。）を行なうことができるようになっている。

**【0004】**

【発明が解決しようとする課題】 従来のコンピュータとの通信が可能なファクシミリ装置では、装置本体が本体処理を実行している最中にコンピュータから通信処理が割り込まれた場合、装置本体の制御部に対する負荷が過大となるため、両方の処理を並列して行なうこと（以下、この処理を並列処理という。）はできず、例えば現

在、実行している本体処理が終了した後、コンピュータからのコマンドに従って装置本体が通信処理を実行するようにしていた。このため、コンピュータからファクシミリ装置を用いて所定の通信処理を行なおうとした場合の処理効率が低く、操作性も十分とは言えなかった。

【0005】本発明は、上記課題に鑑みてなされたものであり、簡単な構成で並列処理を可能にし、コンピュータに対して処理効率及び操作性の高いファクシミリ装置を提供するものである。

【0006】

【課題を解決するための手段】請求項1記載の発明は、インターフェース部を介してコンピュータと通信可能に外部接続され、コンピュータとのシェークハンド方式による通信により当該コンピュータからのコマンドに従って所定の通信処理を行なうファクシミリ装置において、上記コンピュータとのデータ通信間隔を予め設定された所定の時間だけ伸長する通信間隔伸長手段と、上記通信間隔伸長手段で伸長された通信間隔に装置本体が単独で行なう本体処理を時分割で割込処理する処理制御手段とを備え、上記本体処理及び上記通信処理の並列処理が可能になされたものである。

【0007】上記構成によれば、本体処理と通信処理とが重複したとき、コンピュータとのデータ通信間隔が予め設定された所定の時間だけ伸長され、この伸長された通信間隔に本体処理を時分割で処理することにより本体処理と通信処理とが並列に処理される。

【0008】なお、上記ファクシミリ装置において、上記処理制御手段は、本体処理を行なっている最中に通信処理が割り込まれたとき、割込時点において処理中の本体処理と割り込まれた通信処理との並列処理を行なうようにするとよい（請求項2）。

【0009】上記構成によれば、コンピュータから装置本体に通信処理が割り込まれたとき、装置本体が本体処理の最中であれば、割込時点において処理している本体処理と割り込まれた通信処理との並列処理が行なわれ、本体処理が行なわれていなければ、通信処理が行なわれる。

【0010】また、請求項3記載の発明は、上記ファクシミリ装置において、上記本体処理の内容を判別する判別手段と、上記判別手段の判別結果に応じて上記データ通信間隔の伸長時間を変更する変更手段とを備えたものである。

【0011】上記構成によれば、コンピュータから装置本体に通信処理が割り込まれたとき、装置本体が本体処理の最中であれば、その本体処理の内容が判別され、この判別結果に応じてデータ通信間隔が伸長される。そして、この伸長された通信間隔に本体処理を時分割で処理することにより本体処理と通信処理とが並列に処理される。

【0012】すなわち、本体処理の内容に応じて並列処

理における本体処理と通信処理との処理比率が変更される。例えば装置本体がファクシミリデータの送信処理等のように比較的処理速度を要する本体処理を処理している最中にコンピュータから通信処理が割り込まれたときは、データ通信間隔の伸長時間を長くして（すなわち、本体処理の処理比率を高くして）、並列処理が行なわれ、装置本体がファクシミリ送信の条件設定等のように比較的処理速度を要しない本体処理を処理している最中にコンピュータから通信処理が割り込まれたときは、データ通信間隔の伸長時間を短くして（すなわち、通信処理の処理比率を高くして）、並列処理が行なわれる。

【0013】また、請求項4記載の発明は、上記ファクシミリ装置において、上記本体処理と上記通信処理との並列処理を行なう並列処理モードが設定可能になされ、上記処理制御手段は、上記並列処理モードが設定されたとき、上記本体処理と上記通信処理との並列処理を行なうものである。

【0014】上記構成によれば、並列処理モードが設定されるときにのみ、本体処理と通信処理との並列処理が行なわれる。

【0015】なお、上記並列処理モードは、上記コンピュータからのコマンドにより設定又は解除がなされるようにするとよい（請求項5）。

【0016】上記構成によれば、ファクシミリ装置の並列処理モードの設定／解除はコンピュータ側から通信により行なわれる。従って、コンピュータからファクシミリ装置の並列処理モードを設定した後、通信処理の割込みをかけることにより一定の処理速度を要する本体処理を阻害することなく当該通信処理を可能な限り迅速に処理することができる。

【0017】また、請求項6記載の発明は、上記ファクシミリ装置において、上記コンピュータからの並列処理モードに関するコマンドの許可を指示する第1の指示手段と、上記並列処理モードを設定又は解除を指示する第2の指示手段とを備えたものである。

【0018】上記構成によれば、コンピュータからの並列処理モードに関するコマンドが許可されていれば、第2の指示手段による設定／解除に優先してコンピュータ側から通信によってファクシミリ装置の並列処理モードの設定／解除が行なわれる。また、コンピュータからの並列処理モードに関するコマンドが許可されていなければ、装置本体の第2の指示手段によりファクシミリ装置の並列処理モードの設定／解除が行なわれる。

【0019】更に、請求項7記載の発明は、上記ファクシミリ装置において、上記コンピュータから送信されるデータは、上記インターフェース部で一旦、受信された後、装置本体に転送されるものであり、上記通信間隔伸長手段は、インターフェース部から装置本体へのデータ転送の間隔を伸長することにより上記コンピュータとのデータ通信間隔を伸長するものである。

【0020】上記構成によれば、並列処理モードではコンピュータから送信されたデータをインターフェース部から装置本体に転送する際、各データの転送間隔が伸長され、この伸長された期間に本体処理を時分割で処理することにより本体処理と通信処理とが並列に処理される。

【0021】また、請求項8記載の発明は、上記ファクシミリ装置において、上記通信間隔伸長手段は、上記インターフェース部に設けられ、上記コンピュータから送信されたコマンドデータを転送するべく上記インターフェース部から装置本体に送信される割込信号の装置本体への入力タイミングを遅延させる遅延手段からなるものである。

【0022】上記構成によれば、並列処理モードでは、コンピュータから送信されたコマンドデータをインターフェース部から装置本体に転送する際、コマンドデータを転送するべく装置本体に入力される割込信号の入力タイミングを遅延させることにより割込信号の入力間隔が伸長され、この伸長された期間に本体処理を時分割で処理することにより本体処理と通信処理とが並列に処理される。

【0023】また、請求項9記載の発明は、ファクシミリ装置において、上記通信間隔伸長手段は、上記装置本体に設けられ、上記コンピュータから送信されたコマンドデータを転送するべく上記インターフェース部から装置本体に送信される割込信号の受付間隔を予め設定された所定の時間以上に制限する受付間隔制限手段からなるものである。

【0024】上記構成によれば、並列処理モードでは、インターフェース部から割込信号を入力して各コマンドデータを装置本体に転送する際、装置本体での割込信号の受付間隔が所定の時間以上に制限される。従って、割込信号の受け付けが禁止されている期間に本体処理を行なうことにより本体処理と通信処理とが並列に処理される。

【0025】また、請求項10記載の発明は、上記ファクシミリ装置において、上記通信間隔伸長手段は、上記コンピュータから送信されたデータをDMA転送するべく上記インターフェース部から装置本体に送信されるデータ転送要求信号の装置本体への入力タイミングを遅延させる遅延手段からなるものである。

【0026】上記構成によれば、並列処理モードでは、コンピュータから送信されたデータをインターフェース部から装置本体にDMA転送する際、データを転送するべく装置本体に入力されるデータ転送要求信号の入力タイミングを遅延させることによりデータ転送要求信号の入力間隔が伸長され、この伸長された期間に本体処理を時分割で処理することにより本体処理と通信処理とが並列に処理される。

【0027】また、請求項11記載の発明は、上記ファ

クシミリ装置において、上記インターフェース部は、上記コンピュータからのデータを受信すると、正常受信を示す受信確認信号をコンピュータに送信するものであり、上記通信間隔伸長手段は、上記インターフェース部に設けられ、上記インターフェース部から送信される上記受信確認信号の上記コンピュータへの入力タイミングを遅延させる遅延手段からなるものである。

【0028】上記構成によれば、並列処理モードでは、インターフェース部からデータを受信する毎にコンピュータに送信される受信確認信号のコンピュータでの受信タイミングを遅延させることにより、コンピュータとのデータ通信間隔が伸長され、この伸長された期間に本体処理を時分割で処理することにより本体処理と通信処理とが並列に処理される。

【0029】

【発明の実施の形態】図1は、本発明に係るファクシミリ装置の一実施の形態を示すブロック構成図である。ファクシミリ装置1は、コンピュータ13が外部接続可能になされ、通常の本体処理を行なうファクシミリ機能のほか、接続されたコンピュータ13からのコマンドに従って通信処理を行う通信機能を備えている。また、ファクシミリ装置1は、本体処理を行なっている最中に、コンピュータ13から通信処理が割り込まれたとき、コンピュータ13との通信速度を標準の速度より遅くして両処理を並列して行なう並列処理機能を有している。

【0030】並列処理は、例えばファクシミリ装置1が本体処理を行なっている最中にコンピュータ13から通信処理の割込みが入った場合、コンピュータ13とのデータ通信の間隔を伸長し、標準より遅い通信速度で通信処理を行なう一方、通信間隔の伸長期間に本体処理を時分割で処理することにより行なわれる。

【0031】ファクシミリ装置1は、画像読取部2、画像処理部3、画像記録部4、メモリ5、符号化／復号化部6、変復調部（モデム）7、NCU（network control unit）8、インターフェース部9、操作部10、表示部11及び制御部12を備えている。

【0032】画像読取部2は、相手方のFAX15に送信すべき原稿の画像を読み取るものである。また、画像処理部3は、画像読取部2で読み取られた画像信号に所定の信号処理（レベル補正、 $\gamma$ 補正、A/D変換等）を施すものである。画像読取部2は、セットされた原稿を搬送する自動原稿搬送部、CCD（Charge Coupled Device）ラインイメージセンサからなる撮像部を備え、上記撮像部を原稿に対し相対走査（スキャン）させて原稿像をライン単位で搬送方向（原稿の行方向）に読み取り、読み取ったデータを画像処理部3に出力する。

【0033】画像記録部4は、画像読取部2で読み取られたデータ（以下、読取データという。）、FAX15から送信されたデータ（以下、受信データという。）及び外部接続されたコンピュータ13から伝送されたデー

タ（以下、PCデータという。）等を用紙に記録するものである。画像記録部4は、例えばレーザプリンタからなり、記録すべき画像（以下、プリント画像という。）を構成する画素データで変調されたレーザ光を感光体に照射してプリント画像の潜像を形成するとともに、この潜像にトナーを静電的に付着して顕在化し、この顕像を用紙に転写してプリント画像を形成する。

【0034】メモリ5は、読取データ、受信データ及びPCデータを記憶するメモリで、例えばA4サイズの標準原稿が100枚程度記憶可能な大容量メモリである。メモリ5は、ファクシミリデータのメモリ受信又はメモリ送信に使用される。

【0035】符号化／復号化部6は、ファクシミリ送信すべきデータ（画像データ）の圧縮／符号化を行ない、ファクシミリ受信したデータ（画像データ）の伸長／復号化を行なうものである。変復調部7は、圧縮／符号化された画像データの音声信号への変調及びファクシミリ受信した信号（音声信号）の画像データへの復調を行なうものである。また、NCU8は、ファクシミリ装置1を電話回線14を介して相手のFAX15に接続するための装置である。

【0036】インターフェース部9は、コンピュータ13をファクシミリ装置1に外部接続するためのもので、本実施の形態では、IEEE-1284規格に準拠したインターフェースで構成されている。また、インターフェース部9は、本体処理と通信処理との並列処理を可能にするため、ハンドシェイク方式によるコンピュータ13とのデータ通信の間隔をハード的に伸長するための応答制御回路91を有している。

【0037】なお、インターフェース部9は、コンピュータ13が通信可能に接続できるものであれば、上記IEEE-1284規格のインターフェースに限定されるものではない。

【0038】操作部10は、ファクシミリ送信を行なう際の送信相手のFAX No. の入力、ファクシミリ送信の開始／停止、ワンタッチキー又は短縮ナンバーの登録、コピーモード／ファクシミリモード等の各種モードや条件の設定を行なうものである。操作部10は、ファクシミリ装置1の操作パネル上に設けられ、上記入力操作を行なうためのテンキー、ワンタッチキー等の各種キースイッチを有している。

【0039】表示部11は、LCD（Liquid Crystal Display）及びLED（Light Emitted Diode）から構成され、回線接続状態、送信状態及びコンピュータ13との通信状態等の各種情報やファクシミリ送信における送信相手の名称及びFAX No. 等を文字情報でLCD表示するとともに、通信エラーの有無、設定モード、受信画質、メモリ受信及びメンテナンスの要否等をLEDで表示するものである。表示部11もファクシミリ装置1の操作パネル上に設けられている。

【0040】制御部12は、マイクロコンピュータからなり、上記画像読取部2～インターフェース部9及び表示部11の各部材の動作を制御してファクシミリ装置1のファクシミリ機能、複写機能及びデータ通信機能の各機能を集中制御するものである。制御部12は、図2に示すように、内部にROM（Read Only Memory）121、RAM（Random Access Memory）122、処理部123、DMA制御部124を有している。

【0041】ROM121は、ファクシミリ機能及びコンピュータ13との通信機能を行うための処理プログラムや通信プログラム、あるいは各種の処理用データ（例えば画像読取部2の光源の発光量や画像記録部4の現像濃度等の駆動条件に関するデータ、警告、操作手順等のメッセージに関するデータ等）が記録されたメモリであり、RAM122は、上記処理プログラムに従って所定の演算処理を行うためのメモリ（主記憶）である。

【0042】また、処理部123は、上記プログラムに従って各種処理（ファクシミリデータの送受信、コピー、コンピュータ13とのデータ通信等）を実行するものである。DMA制御部124は、コンピュータ13からインターフェース部9を介して送信されるデータのRAM122へのDMA（Direct Memory Access）転送を制御するものである。

【0043】ファクシミリ装置1は、例えばATコマンド体系を用いた通信プログラムを有し、コンピュータ13からのATコマンドに従って通信処理を行なう。なお、コマンド体系は、ATコマンド体系に限定されるものではなく、EIC（アメリカ電子工業会）により規格化され、クラス1コマンド体系、クラス2コマンド体系として勧告されているコマンド体系を用いてもよい。また、独自のコマンド体系を用いるようにしてもよい。

【0044】図2は、第1の実施の形態に係るインターフェース部9のブロック構成図である。

【0045】インターフェース部9は、プロトコル制御部901、レジスタ902、I/F903、割込制御部904、DMA制御部905及びDREQ信号遅延回路906から構成されている。プロトコル制御部901、レジスタ902、I/F903、割込制御部904及びDMA制御部905によりIEEE-1284規格に準拠したインターフェースの動作を制御する制御回路が構成され、DREQ信号遅延回路906は、応答制御回路91に相当する回路である。

【0046】プロトコル制御部901は、コンピュータ13との通信手順を制御してデータの通信を行なうものである。コンピュータ13には、各種通信ポートを制御する通信制御部131が設けられ、プロトコル制御部901は、所定の通信手順に従ってこの通信制御部131との間でシェークハンド方式によりデータを通信する。

【0047】レジスタ902は、コンピュータ13から送信されたデータ（コマンドデータや処理すべきデータ

等)を格納するものであり、1/F903は、そのレジスタ902に格納されたデータを制御部12に転送するためのインターフェースである。

【0048】プロトコル制御部901は、コンピュータ13から送信されたデータを受信すると、そのデータをレジスタ902に格納するとともに、そのデータを制御部12に転送するべく割込制御部904又はDMA制御部905にデータの「受信有り」の信号を出力する。

【0049】割込制御部904は、制御部12内の処理部123に割込みを要求する信号(以下、割込要求信号という。)の出力を制御するものであり、DMA制御部905は、コンピュータ13から送信されたデータを制御部12にDMA転送を要求する信号(以下、DMA転送要求信号という。)の出力を制御するものである。

【0050】割込制御部904は、プロトコル制御部901からコマンドデータの「受信有り」の信号が入力されると、このコマンドデータを制御部12に転送するべく処理部123に割込要求信号を送出する。処理部123は、この割込要求信号を受け付けると、レジスタ902から1/F903を介してコマンドデータを読み出し、割込要求信号を解除した後、そのコマンドに従って所定の割込処理を行なう。

【0051】DMA制御部905は、プロトコル制御部901から処理すべきデータ(DMA転送すべきデータ)の「受信有り」の信号が入力されると、このデータを制御部12にDMA転送するべくDMA制御部124にDMA転送要求信号を出力する。DMA制御部124はこのDMA転送要求信号に対してDMA転送を許可する信号(以下、DMA転送許可信号という。)を返送するとともに、DMA転送される各データに対してアドレスデータを出力するので、DMA制御部905は、DMA制御部124からのDMA転送許可信号を受け取ると、レジスタ902に格納されたデータを1/F903を介して制御部12側に転送する。制御部12側に転送された各データは、バスラインを介してRAM122に伝送され、DMA制御部124から出力されたアドレスデータに従って所定のエリアに格納される。

【0052】また、DREQ信号遅延回路906は、DMA制御部905から出力されるDMA転送要求信号のDMA制御部124への入力タイミングを所定の時間 $\Delta t$ だけ遅延させるものである。DMA制御部124には、DMA制御部905での出力タイミングより時間 $\Delta t$ だけ遅延してDMA転送要求信号が入力されるので、各データのDMA転送間隔が時間 $\Delta t$ だけ長くなる。このことは、実質的にコンピュータ13からのデータの送信速度を低下させ、通信処理速度を低下させることに相当する。

【0053】従って、DREQ信号遅延回路906は、DMA転送間隔にデータ転送処理に関係しない時間 $\Delta t$ を生成し、この時間 $\Delta t$ に時分割で本体処理の実行を可

能にすることにより本体処理及び通信処理の並列処理を可能にするものである。

【0054】DREQ信号遅延回路906の遅延時間 $\Delta t$ は変更可能になされ、制御部12内の処理部123により、図3に示す「通信割込処理」のフローチャートに従って制御されるようになっている。

【0055】すなわち、処理部123にインターフェース部9から割込信号が入力され、コンピュータ13との通信処理が発生すると(ステップS1)、処理部123が、ファクシミリ送信条件の設定、ファクシミリ送信動作、ファクシミリ受信動作、コピー動作、ワンタッチ/短縮ダイヤルの登録及び各種のユーザ設定条件(送受信モード、受信画質等)の登録等の本体処理を行なっている最中であれば(ステップS2でYES)、DREQ信号遅延回路906の遅延時間 $\Delta t$ が所定の時間に設定された後(ステップS3)、本体処理と通信処理との並列処理が行なわれる(ステップS4)。すなわち、コンピュータ13との通信を実行するとともに、遅延時間 $\Delta t$ を設けることによって生じたコンピュータ13とのデータ転送間隔における空白期間(通信に利用されない期間)を利用して本体処理が間歇的に実行される。

【0056】なお、上記遅延時間 $\Delta t$ は、処理中の本体処理の内容に応じた所定の時間が設定される。本体処理がファクシミリの送受信動作やコピー動作等であれば、これらの処理には一定の実効速度が要求されるので、コンピュータ13との通信速度が、例えば100KB/s以下の通信速度となるように比較的長い遅延時間 $\Delta t$ が設定される。また、本体処理がファクシミリ送信条件の設定、ワンタッチ/短縮ダイヤルや各種のユーザ設定条件の登録等であれば、これらの処理には特に一定の実効速度が必要ではないので、コンピュータ13との通信速度が、ファクシミリの送受信動作等の処理よりも高速の、例えば200KB/s以下の通信速度となるように遅延時間 $\Delta t$ が設定される。なお、本体処理が前者の場合にのみ遅延時間 $\Delta t$ を設定し、後者の場合には本体処理を中断して通信処理を優先的に処理させるようにしてもよい。

【0057】ステップS2で処理部123が本体処理をしていない状態(待機状態)であれば(ステップS2でNO)、DREQ信号遅延回路906の遅延時間 $\Delta t$ は「0」に設定され(ステップS5)、標準の通信速度で通信処理が行なわれて(ステップS6)、通信割込処理を終了し、アイドル状態(通信割込可能状態)となる(ステップS7)。

【0058】図4は、コンピュータ13との通信速度が標準の場合のインターフェース部9と制御部12間の各種信号の応答波形の一例を示す図であり、図5は、コンピュータ13との通信速度を制限した場合のインターフェース部9と制御部12間の各種信号の応答波形の一例を示す図である。



【0059】図4、図5において、信号CLKは、インターフェース部9と制御部12間でデータ転送するためのクロック信号で、1/F903を介して制御部12に出力されるものである。信号/RDは、DMA転送が行なわれていることを示すロー・アクティブの信号で、ローレベルの期間にインターフェース部9から制御部12にデータのDMA転送が行なわれる。

【0060】また、信号/DREQ1は、DMA制御部905から出力されるDMA転送要求信号であり、信号/DREQ2は、DREQ信号遅延回路906からDMA制御部124に入力されるDMA転送要求信号である。信号/DREQ1、/DREQ2は、ロー・アクティブの信号であり、信号/RDが立下り、データのDMA転送が開始されると（タイミング(a)参照）、ハイレベルに反転してイネーブル状態が解除される（タイミング(e)参照）。なお、信号/RD、信号/DREQ1、/DREQ2は、ハイ・アクティブの信号であってもよい。

【0061】図4では、遅延時間 $\Delta t_1$ が「0」に設定され、信号/DREQ1は信号/DREQ2と同一であるから、省略している。図5では、信号/DREQ1のイネーブルが解除されるタイミングは、信号/DREQ2のイネーブルが解除されるタイミング(e)と同一であるが、信号/DREQ2がイネーブルとなるタイミング（タイミング(b)参照）は、DREQ信号遅延回路906が介在するため、信号/DREQ1がイネーブルとなるタイミング（タイミング(g)参照）に対して時間 $\Delta t_1$ だけ遅延している。

【0062】信号/DAKは、DMA制御部124からDREQ信号遅延回路906に送信されるDMA転送許可信号である。信号/DAKは、ロー・アクティブの信号であり、ローレベルでデータ転送許可の状態となる。DMA制御部124は、信号/DREQ2がイネーブルになると（タイミング(b)参照）、信号/DAKをハイレベルからローレベルに反転してインターフェース部9からのデータのDMA転送を許可する（タイミング(c)参照）。DREQ信号遅延回路906は、信号/DAKがハイレベルからローレベルに反転すると、データの転送を開始する（タイミング(a)参照）。そして、DMA制御部124は、インターフェース部9からのデータのDMA転送が終了すると（タイミング(d)参照）、信号/DAKをローレベルからハイレベルに反転してインターフェース部9からのデータのDMA転送を禁止する（タイミング(f)参照）。

【0063】図4、図5から明らかなように、信号/DREQ2がイネーブルとなる間隔T1（すなわち、データのDMA転送間隔T1）は、遅延時間 $\Delta t_1$ を設定することによりデータのDMA転送間隔T1'（ $=T1+\Delta t_1$ ）が伸長され、DMA転送間隔T1'内に通信に関係しない期間 $\Delta t_1$ が生じる。従って、処理部123

は、この期間 $\Delta t_1$ に本体処理を時分割で処理することにより並列処理が可能になる。

【0064】図6は、第2の実施の形態に係るインターフェース部9内のブロック構成図である。

【0065】第1の実施の形態は、DMA転送処理がなされるデータの通信間隔を伸長して並列処理を可能にするものであったが、第2の実施形態は、コマンドデータの通信間隔を伸長して並列処理を可能にするものである。

【0066】従って、図6は、図2において、DREQ信号遅延回路906を削除し、インターフェース部9内の割込制御部904と処理部123間に割込要求信号遅延回路907（応答制御回路91に相当）を設けたものである。

【0067】割込要求信号遅延回路907は、割込制御部904から出力される割込要求信号の処理部123への入力タイミングを所定の時間 $\Delta t$ だけ遅延させるものである。処理部123には、割込制御部904での出力タイミングより時間 $\Delta t$ だけ遅延して割込要求信号が入力されるので、DMA転送の場合と同様に各コマンドデータの転送間隔が時間 $\Delta t$ だけ長くなり、コンピュータ13との通信速度が標準の通信速度より低下することになる。従って、DMA転送の場合と同様に、データ転送間隔の伸長時間 $\Delta t$ を利用して本体処理を時分割で行なうことにより本体処理及び通信処理の並列処理が可能になる。

【0068】図7は、コンピュータ13との通信速度が標準の場合の第2の実施の形態に係るインターフェース部9と制御部12間の各種信号の応答波形の一例を示す図であり、図8は、コンピュータ13との通信速度を制限した場合の第2の実施の形態に係るインターフェース部9と制御部12間の各種信号の応答波形の一例を示す図である。

【0069】図7、図8において、信号CLK及び信号/RDは、図4、図5で説明したものと同一である。また、信号/INT1は、割込制御部904から出力される割込要求信号であり、信号/INT2は、割込遅延回路907から処理部123に入力される割込要求信号である。信号/INT1、/INT2は、ロー・アクティブの信号であり、信号/RDが立下り、コマンドデータの転送が開始されると（タイミング(a)参照）、ハイレベルに反転してイネーブル状態が解除される（タイミング(i)参照）。なお、信号/INT1、/INT2は、ハイ・アクティブの信号であってもよい。

【0070】図7では、遅延時間 $\Delta t$ が「0」に設定され、信号/INT1は信号/INT2と同一であるから、省略している。図8では、信号/INT1のイネーブルが解除されるタイミングは、信号/INT2のイネーブルが解除されるタイミング(i)と同一であるが、信号/INT2がイネーブルとなるタイミング（タイミン

グ(h)参照)は、割込要求信号遅延回路907が介在するため、信号/INT1がイネーブルとなるタイミング(タイミング(j)参照)に対して時間 $\Delta t_2$ だけ遅延している。

【0071】信号/INT2がイネーブルになり(タイミング(h)参照)、処理部123によりI/F903を介してレジスタ902に格納されたコマンドデータの読みが行なわれると、信号/INT2のイネーブル状態は解除される(タイミング(i)参照)。

【0072】図7、図8から明らかなように、信号/INT2がイネーブルとなる間隔T2(すなわち、データ転送間隔T2)は、遅延時間 $\Delta t_2$ を設定することによりコマンドデータの転送間隔T2'( $=T2+\Delta t_2$ )が伸長され、このデータ転送間隔T2'内に通信に関係しない期間 $\Delta t_2$ が生じる。従って、処理部123は、この期間 $\Delta t_2$ に本体処理を時分割で処理することにより並列処理が可能になる。

【0073】上記第2の実施の形態では、割込要求信号の処理部123への入力タイミングを遅延することによりコマンドデータのインターフェース部9から制御部12への転送間隔を伸長するようにしていたが、処理部123における割込要求信号の受付間隔を一定の間隔以上に制限することによりコマンドデータのインターフェース部9から制御部12への転送間隔を伸長するにしてもよい。この割込受付間隔を制限する方法では、割込禁止期間に本体処理を時分割で処理することにより並列処理が可能になる。

【0074】割込受付間隔を制限する方法は、ソフト的に行なうことができるので、ハード的に行なうものより簡単に実現することができる利点がある。従って、割込受付間隔を制限する方法を採用した場合のインターフェース部9は、図6において、割込要求信号遅延回路907を除去した構成となる。

【0075】図9は、割込受付間隔を制限して並列処理を可能にする割込制御のフローチャートの一例である。

【0076】同図のフローチャートでは、インターフェース部9の割込制御部904から処理部123に割込要求信号が入力されると(ステップS10でYES)、この割込要求信号が受け付けられ、割込許可状態となる(ステップS11)。

【0077】続いて、処理部123が本体処理の最中であるか否かが判別され(ステップS12)、本体処理の最中であれば(ステップS12でYES)、インターフェース部9内のレジスタ902をアクセスしてコマンドデータの読みが行なわれた後(ステップS13)、次の割込要求信号の受け付けを禁止する割込禁止が設定される(ステップS14)。続いて、この割込禁止状態を保持する予め設定された時間(例えば400 $\mu$ s程度の時間)を計時するタイマのカウントが開始され(ステップS15)、タイマがカウントアップするまでの間に読み

込んだコマンドデータに基づく通信処理と現在処理中の本体処理との並列処理が行なわれる(ステップS16、S17のループ)。

【0078】そして、タイマがカウントアップすると(ステップS17でYES)、割込禁止状態が解除され(ステップS18)、ステップS10に戻り、次の割込要求信号の待機状態となる。

【0079】一方、ステップS12で本体処理の最中でなければ(ステップS12でNO)、インターフェース部9内のレジスタ902をアクセスしてコマンドデータの読みが行なわれ(ステップS19)、このコマンドデータに基づく通信処理が実行された後(ステップS20)、ステップS10に戻り、次の割込要求信号の待機状態となる。

【0080】図10は、割込受付間隔をソフト的に制限した場合のインターフェース部9と制御部12間の各種信号の応答波形の一例を示す図である。

【0081】同図において、信号CLK、信号/RD及び信号/INT1は、図8で説明したものと同一である。処理部123に第1の割込要求信号/INT1が入力されると、この第1の割込要求信号/INT1に基づいて処理部123によりインターフェース部9内のレジスタ902に格納されたコマンドデータが読み込まれる(①のデータ読み処理参照)とともに、第2の割込要求信号/INT1の割込禁止が設定される。

【0082】この割込禁止状態は予め設定された所定の時間 $\Delta t_3$ だけ保持されるので、この時間 $\Delta t_3$ 内に割込制御部904から第2の割込要求信号/INT1がイネーブル状態になっても処理部123ではこの第2の割込要求信号/INT1は受け付けられず、割込禁止期間 $\Delta t_3$ に本体処理が行なわれる。割込制御部904は、レジスタ902のコマンドデータが処理部123に転送されない限り、第3の割込要求信号/INT1を送出することはできないので、第2の割込要求信号/INT1のイネーブル状態はレジスタ902のコマンドデータが処理部123に転送されるまで継続される(②のデータ読み処理参照)。

【0083】コマンドデータの読み後、割込禁止時間 $\Delta t_3$ が経過すると(タイミング(k)参照)、第2の割込要求信号/INT1に基づいて処理部123によりインターフェース部9内のレジスタ902に格納されたコマンドデータが読み込まれ(②のデータ読み処理参照)、これにより制御部12では第3の割込要求信号/INT1の割込禁止が再設定され、インターフェース部9内では第2の割込要求信号/INT1のイネーブル状態が解除されて第3の割込要求信号/INT1がイネーブル可能状態になる。

【0084】図11は、第3の実施の形態に係るインターフェース部9内のブロック構成図である。

【0085】上記第1～第3の実施の形態は、インター

フェース部 9 と制御部 12 間のデータ転送間隔を伸長することによりコンピュータ 13 とファクシミリ装置 1 との通信速度を低下させて通信処理と本体処理との並列処理を可能にするものであったが、第 4 の実施形態はインターフェース部 9 とコンピュータ 13 間のデータ転送間隔を伸長することによりコンピュータ 13 とファクシミリ装置 1 との通信速度を低下させて通信処理と本体処理との並列処理を可能にするものである。

【0086】図 11 は、図 2 において、DREQ 信号遅延回路 906 を除去し、あるいは、図 6 において、割込信号遅延回路 907 を除去し、インターフェース部 9 内のプロトコル制御部 901 とコンピュータ 13 間に ACK 信号遅延回路 908（応答制御回路 91 に相当）を設けたものである。

【0087】IEEE-1284 規格では、受信側は、送信されたデータを正常に受信したとき、正常受信を示す応答信号（ACK 信号）を送信側に返送することになっており、送信側は、ACK 信号を受けて次のデータを受信側に送信する。ACK 信号遅延回路 908 は、ファクシミリ装置 1 から出力される ACK 信号のコンピュータ 13 への入力タイミングを遅延させるものである。

【0088】図 12 は、コンピュータ 13 との通信速度が標準の場合の第 3 の実施の形態に係るインターフェース部 9 とコンピュータ 13 間の各種信号の応答波形の一例を示す図であり、図 13 は、コンピュータ 13 との通信速度を制限した場合の第 3 の実施の形態に係るインターフェース部 9 とコンピュータ 13 間の各種信号の応答波形の一例を示す図である。

【0089】図 12、図 13 において、信号 DATA は、コンピュータ 13 から送信されるデータであり、信号 /STROBE は、データ送受のための同期パルスである。信号 ACK1 は、インターフェース部 9 のプロトコル制御部 901 から出力される ACK 信号であり、信号 ACK2 は、ACK 信号遅延回路 908 からコンピュータ 13 に入力される ACK 信号である。また、信号 /STROBE は、ロー・アクティブの信号であり、信号 ACK1、ACK2 は、ハイ・アクティブの信号である。

【0090】図 12 では、遅延時間  $\Delta t$  が「0」に設定され、信号 ACK1 は信号 ACK2 と同一であるから、省略している。図 13 では、信号 ACK2 がアクティブになるタイミング（タイミング (n) 参照）は、ACK 信号遅延回路 908 が介在するため、信号 ACK1 がアクティブになるタイミング（タイミング (i) 参照）に対して時間  $\Delta t$  だけ遅延している。

【0091】信号 /STROBE の各データに対する同期パルスは、ACK 信号を受信することにより解除されるので、遅延時間  $\Delta t$  として所定の時間  $\Delta t_4$  が設定されると、各同期パルスのパルス幅は、遅延時間  $\Delta t_4$  だけ伸長され、これにより各同期パルスの間隔（すなわ

ち、各データの送信間隔） $T_3$  は、 $T_3' = T_3 + \Delta t_4$  に伸長されることになる。従って、処理部 123 は、各データの送信間隔が伸長された時間  $\Delta t_4$  を利用して本体処理を時分割で処理することにより並列処理が可能になる。

【0092】上記のように、第 1～第 3 の実施の形態に係るインターフェース部 9 は、既存の IEEE-1284 規格に対応した制御回路を有する制御 IC（Integrated Circuit）に DREQ 信号遅延回路 906、割込信号遅延回路 907 又は ACK 信号遅延回路 908 を付加するだけで簡単に並列処理可能なファクシミリ装置 1 を実現することができる。

【0093】なお、上記説明では、DREQ 信号遅延回路 906、割込信号遅延回路 907 及び ACK 信号遅延回路 908 のいずれかを設けた場合について説明したが、これらすべての回路をインターフェース部 9 内に設けるようにしてもよい。

【0094】また、割込受付間隔を制限する方法を採用したファクシミリ装置 1 では、ソフト的に並列処理が可能になされるので、ハード的に行なうものに比してより簡単かつ容易に、しかも低コストで並列処理可能なファクシミリ装置 1 を実現することができる。

【0095】ところで、上記第 3 の実施の形態は、ACK 信号遅延回路 908 を設け、ACK 信号のコンピュータ 13 への入力タイミングを遅延することによりデータのコンピュータ 13 からインターフェース部 9 への送信間隔をハード的に伸長するようにしていたが、コンピュータ 13 の通信制御部 131 による各種通信ポートの駆動制御を修正してコンピュータ 13 からインターフェース部 9 へのデータの送信間隔をソフト的に伸長するようにしてもよい。

【0096】図 14 は、通信制御部 131 での通信制御によりソフト的にデータ送信間隔を伸長する第 4 の実施の形態に係るファクシミリ装置 1 とコンピュータ 13 との通信システムのブロック構成の一例を示す図である。

【0097】同図は、図 2、図 6、図 11 において、それぞれ DREQ 信号遅延回路 906、割込要求信号遅延回路 907、ACK 信号遅延回路 908 を除去し、コンピュータ 13 内に送信間隔の伸長時間をカウントするタイマ 132 を設けたものである。

【0098】また、図 15 は、コンピュータ 13 の通信制御部 131 によりデータ送信間隔を伸長制御するフローチャートの一例を示す図である。通信制御部 131 は、同図に示すフローチャートに従ってデータ送信を制御する。

【0099】すなわち、コンピュータ 13 から制御部 12 に所定の通信処理の割込みをかけるとき、まず、その通信処理に対応した所定のコマンドデータが通信制御部 131 からインターフェース部 9 のプロトコル制御部 901 に送信される（ステップ S21）。続いて、プロト

コル制御部901からこのコマンドデータに対するACK信号が返送されると(ステップS22)、このコマンドに付随するデータの送信が開始される(ステップS23)。

【0100】データは、1バイト単位で順次、送信されるが(ステップS23~S28のループ)、まず、最初のデータに対するインターフェース部9からの応答信号に基づいて通信速度を制限するか否かが判別される(ステップS25)。通信速度の制限が必要であれば(ステップS25でYES)、予め設定された所定の待ち時間 $T_D$ が設定された後(ステップS26)、タイマ132によりこの待ち時間 $T_D$ のカウントが開始される(ステップS27)。そして、待ち時間 $T_D$ のカウントが終了すると(ステップS28でYES)、ステップS23に移行し、次の1バイトデータが送信される。一方、ステップS25で通信速度の制限が必要なければ(ステップS25でNO)、待ち時間 $T_D$ のカウントを行なうことなくステップS23に移行し、次の1バイトデータが送信される。

【0101】以下、各データを送信する毎にそのデータに対する応答信号に基づいて通信速度の制限の要否が判別され、通信速度の制限が必要であれば、所定の待ち時間 $T_D$ の間隔を設けて次のデータがインターフェース部9に送信され、通信速度の制限が必要なければ、所定の待ち時間 $T_D$ の間隔を設けることなく次のデータがインターフェース部9に送信され(ステップS23~S28のループ)、すべてのデータの送信が完了すると(ステップS25でYES)、送信処理は終了する。上記のように、コンピュータ13からインターフェース部9へのデータの送信間隔をソフト的に伸長する方法を採用した場合もハード的に行なうものに比してより簡単かつ容易に、しかも低コストで並列処理可能なファクシミリ装置1を実現することができる。

【0102】さて、上記実施の形態では、ファクシミリ装置1が本体処理をしている最中にコンピュータ13から通信処理が割り込まれたとき、自動的に並列処理機能が働くように構成していたが、コンピュータ13からのコマンドによってファクシミリ装置1の並列処理機能を動作させるようにしてもよい。

【0103】コンピュータ13から並列処理を行なうモード(以下、このモードを並列処理モードという。)を設定可能にすると、並列処理モードを解除することによりファクシミリ装置1の本体処理を中断させて強制的に割込処理を行なわせることができるので、通信処理を急ぐ場合の操作性が向上する。

【0104】この並列処理モードの選択設定は、ATコマンド体系又は独自のコマンド体系に並列処理モードを選択するためのコマンドを設けることによりソフト的に行なうことができる。

【0105】図16、図17は、コンピュータ13から

のコマンドにより並列処理モードを選択可能にした場合の通信処理の一例を示すフローチャートで、コンピュータ13で作成した画像データをファクシミリ装置1を用いて用紙にプリントアウトする場合の通信処理を示すフローチャートである。図16は、コンピュータ13側で実行されるフローチャートであり、図17は、ファクシミリ装置1側で実行されるフローチャートである。

【0106】コンピュータ13側では、ファクシミリ装置1での通信処理としてプリント処理が指示されると、並列処理モードが指示されているか否かが判別され(ステップS30)、並列処理モードが指示されていれば(ステップS30でYES)、ファクシミリ装置1に並列処理モードの設定コマンドが送信され(ステップS31)、並列処理モードが指示されていない場合は(ステップS30でNO)、ファクシミリ装置1に並列処理モードの解除コマンドが送信される(ステップS32)。

【0107】そして、コンピュータ13からコマンドによりファクシミリ装置1の並列処理に関するモードが設定されると、コンピュータ13から画像データとこの画像データのプリント命令データが順次、送信され(ステップS33、S34のループ)、全データの送信が終了すると(ステップS34でYES)、プリント処理は終了する。

【0108】一方、ファクシミリ装置1では、コンピュータ13から並列処理モードに関するコマンドの割込みが発生すると(ステップS40でYES)、このコマンドが受け付けられ(ステップS41)、並列処理モードの設定命令であるか否かが判別される(ステップS42)。

【0109】コマンドが並列処理モードの設定命令であれば(ステップS42でYES)、並列処理モードが設定された後(ステップS43)、コンピュータ13から送信される画像データのプリント処理(通信処理)と現在実行している本体処理との並列処理が実行され(ステップS44)、コマンドが並列処理モードの解除命令であれば(ステップS42でNO)、並列処理モードが解除された後(ステップS45)、現在実行している本体処理を中断し、コンピュータ13から送信される画像データのプリント処理(通信処理)が実行され(ステップS46)、割込処理は終了する(ステップS47)。なお、プリント処理(通信処理)を優先して割込処理を行なった場合は、プリント処理(通信処理)の終了後に中断した本体処理が再開される。

【0110】なお、コンピュータ13から一方的に並列処理モードが設定可能になされると、ファクシミリ装置1の並列処理機能が実施的にコンピュータ13のアプリケーションとなり、ファクシミリ装置1の優位性が全く失われるので、ファクシミリ装置1にコンピュータ13からのコマンドによる並列処理モードの設定を許可するか否かを設定可能にするとともに、ファクシミリ装置1

の本体側で並列処理モードを設定可能にし、ファクシミリ装置1の優位性の選択の余地を残すようにしてもよい。

【0111】このようにすると、本体処理と通信処理とが競合した場合、各処理に対して要求される迅速の度合いに応じて並列処理モードを使い分けことができ、並列処理モードの設定／解除の操作性がより向上する。

【0112】コンピュータ13からの並列処理モードの設定コマンドの許可及び本体側から並列処理モードの設定／解除は、モード設定メニューに並列処理モードに関するコマンドの許可及び並列処理モードの設定／解除のメニューを設け、操作部10から並列処理モードをマニュアル設定するようにしてもよく、装置本体側に並列処理モードの設定機能（例えば独立の設定スイッチやモード設定メニューによる設定機能）を設け、コンピュータ13からのコマンドに優先して装置本体側で並列処理モードを設定可能にするようにしてもよい。

【0113】前者の方法は、2種類の操作が必要になるが、並列処理モードの設定に関してはコンピュータ13を切り離してファクシミリ装置1で独立して設定できる利点がある。一方、後者の方法は、ファクシミリ装置1側で並列処理モードが設定されていない場合にのみコンピュータ13側から並列処理モードを任意に設定することができるようになるが、操作が簡単になる利点がある。

【0114】図18は、コンピュータ13からの並列処理モードに関するコマンドを許可可能にした場合の通信処理の一例を示すフローチャートで、ファクシミリ装置1側で実行されるフローチャートである。

【0115】コンピュータ13から並列処理モードに関するコマンドの割込みが発生すると（ステップS50でYES）、このコマンドが受け付けられ（ステップS51）、並列処理モードの設定命令であるか否かが判別される（ステップS52）。

【0116】コンピュータ13からのコマンドが並列処理モードの設定命令であれば（ステップS52でYES）、更にコンピュータ13からの並列処理モードに関するコマンドを許可するモードが設定されているか否かが判別され（ステップS53）、許可モードが設定されていれば（ステップS53でYES）、コンピュータ13に並列処理モードの設定を許可する応答信号が返送されるとともに、コマンドに従って並列処理モードが設定される（ステップS54）。不許可モードが設定されていれば（ステップS53でNO）、コンピュータ13に並列処理モードの設定を許可しない応答信号が返送され、並列処理モードは本体からの設定状態が保持される（ステップS55）。

【0117】また、ステップS52でコマンドが並列処理モードの設定命令でなければ（ステップS52でNO）、上記ステップS53～S55はスキップされる。

【0118】続いて、並列処理モードが設定されているか否かが判別され（ステップS56）、並列処理モードが設定されていれば（ステップS56でYES）、コンピュータ13から送信されるデータに対する通信処理と現在実行している本体処理との並列処理が実行され（ステップS57）、並列処理モードが解除されていれば（ステップS56でNO）、現在実行している本体処理を中断し、コンピュータ13から送信されるデータに対する通信処理が実行され（ステップS58）、割込処理は終了する（ステップS59）。なお、通信処理を優先して割込処理を行なった場合は、通信処理の終了後に中断した本体処理が再開される。

【0119】

【発明の効果】以上説明したように、請求項1記載の発明によれば、コンピュータと通信可能に接続可能なファクシミリ装置において、コンピュータとのデータ通信間隔を所定の時間だけ伸長し、この伸長期間に本体処理を時分割で割込処理することにより本体処理と通信処理との並列処理を可能にしたので、本体処理と通信処理とが重複した場合にも効率よく迅速に両方の処理を行なうことができる。

【0120】特に、請求項2記載の発明によれば、本体処理を行なっている最中に通信処理が割り込まれたとき、並列処理を行なうようにしたので、通信処理の開始時期を本体処理の終了まで遅らせることができなく、コンピュータのファクシミリ装置を用いた処理についての操作性を向上することができる。

【0121】また、請求項3記載の発明によれば、本体処理の内容に応じてデータ通信間隔の遅延量を変更し、並列処理における本体処理と通信処理との処理比率を変にしたので、並列処理における両処理の処理効率を高めることができる。

【0122】また、請求項4記載の発明によれば、並列処理モードを設定可能にし、並列処理モードが設定されたとき、本体処理と通信処理との並列処理を行なうようにしたので、並列処理機能に関する操作性がより向上し、本機能の有効利用が可能になる。

【0123】特に、請求項5記載の発明によれば、コンピュータ側から通信により並列処理モードの設定／解除を可能にしたので、コンピュータのファクシミリ装置を用いた処理についての操作性をより向上することができる。

【0124】また、請求項6記載の発明によれば、装置本体でコンピュータからの並列処理モードに関するコマンドの許可及び並列処理モードの設定／解除を選択可能にしたので、コンピュータが外部接続されたファクシミリ装置における並列処理モードに関する操作性の自由度が高まり、本体処理と通信処理が重複する場合の好適な処理の選択が容易となる。

【0125】また、請求項7記載の発明によれば、イン

ターフェース部から装置本体へのデータ転送の間隔を伸長することによりコンピュータとのデータ通信間隔を伸長するようにしたので、規格化された通信プロトコルに抵触することなく簡易かつ容易に並列処理可能なファクシミリ装置を実現することができる。

【0126】特に、請求項8記載の発明では、インターフェース部から装置本体に送信される割込信号の装置本体への入力タイミングを遅延させて、また、請求項10記載の発明では、インターフェース部から装置本体に送信されるDMA転送要求信号の装置本体への入力タイミングを遅延させてインターフェース部から装置本体へのデータ転送の間隔を伸長するようにし、請求項11記載の発明では、インターフェース部からコンピュータに送信される受信確認信号のコンピュータへの入力タイミングを遅延させてコンピュータからインターフェース部へのデータ送信の間隔を伸長するようにして、それぞれハード的にコンピュータとのデータ通信間隔を伸長するようにしたので、既存の通信制御回路に所要の遅延回路を追加するのみで並列処理の可能なファクシミリ装置を簡単に実現することができる。

【0127】また、請求項9記載の発明によれば、インターフェース部から装置本体に送信される割込信号の受付間隔を予め設定された所定の時間以上に制限してソフト的にインターフェース部から装置本体へのデータ転送の間隔を伸長するようにしたので、より簡単かつ容易に、しかも低コストで並列処理可能なファクシミリ装置を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明に係るファクシミリ装置の一実施の形態を示すブロック構成図である。

【図2】第1の実施の形態に係るインターフェース部のブロック構成図である。

【図3】「通信割込処理」のフローチャートである。

【図4】コンピュータとの通信速度が標準の場合の第1の実施の形態に係るインターフェース部と制御部間の各種信号の応答波形の一例を示す図である。

【図5】通信速度を制限した場合の第1の実施の形態に係るインターフェース部と制御部間の各種信号の応答波形の一例を示す図である。

【図6】第2の実施の形態に係るインターフェース部のブロック構成図である。

【図7】コンピュータとの通信速度が標準の場合の第2の実施の形態に係るインターフェース部と制御部間の各種信号の応答波形の一例を示す図である。

【図8】通信速度を制限した場合の第2の実施の形態に係るインターフェース部と制御部間の各種信号の応答波形の一例を示す図である。

【図9】インターフェース部からの割込み間隔を制限するフローチャートの一例を示す図である。

【図10】割込受付間隔をソフト的に制限した場合のイ

ンターフェース部と制御部間の各種信号の応答波形の一例を示す図である。

【図11】第3の実施の形態に係るインターフェース部のブロック構成図である。

【図12】通信速度が標準の場合の第3の実施の形態に係るインターフェース部とコンピュータ間の各種信号の応答波形の一例を示す図である。

【図13】通信速度を制限した場合の第3の実施の形態に係るインターフェース部とコンピュータ間の各種信号の応答波形の一例を示す図である。

【図14】第4の実施の形態に係るファクシミリ装置とコンピュータとの通信システムのブロック構成の一例を示す図である。

【図15】コンピュータの通信制御部によりデータ送信間隔を伸長制御するフローチャートの一例を示す図である。

【図16】コンピュータからのコマンドにより並列処理モードを選択可能にした場合の通信処理の一例を示すフローチャートで、コンピュータ側で実行されるフローチャートである。

【図17】コンピュータからのコマンドにより並列処理モードを選択可能にした場合の通信処理の一例を示すフローチャートで、ファクシミリ装置側で実行されるフローチャートである。

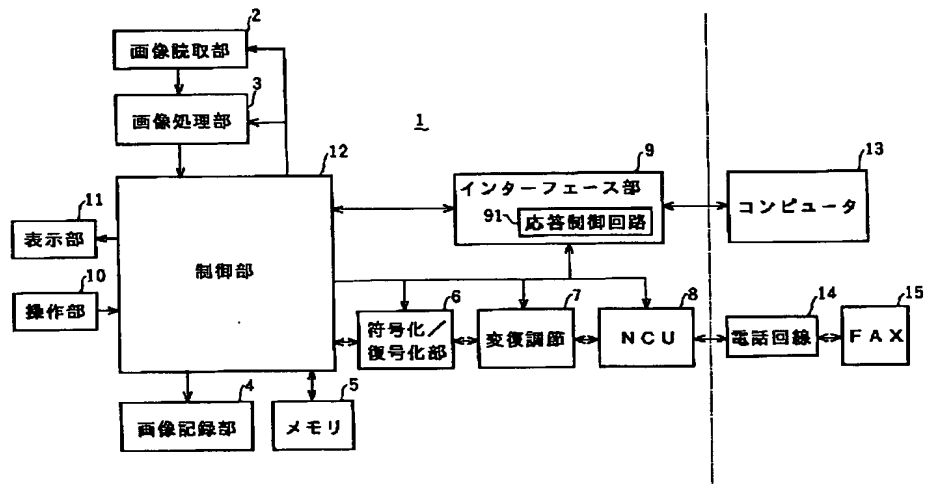
【図18】コンピュータからの並列処理モードに関するコマンドを許可可能にした場合の通信処理の一例を示すフローチャートで、ファクシミリ装置側で実行されるフローチャートである。

#### 【符号の説明】

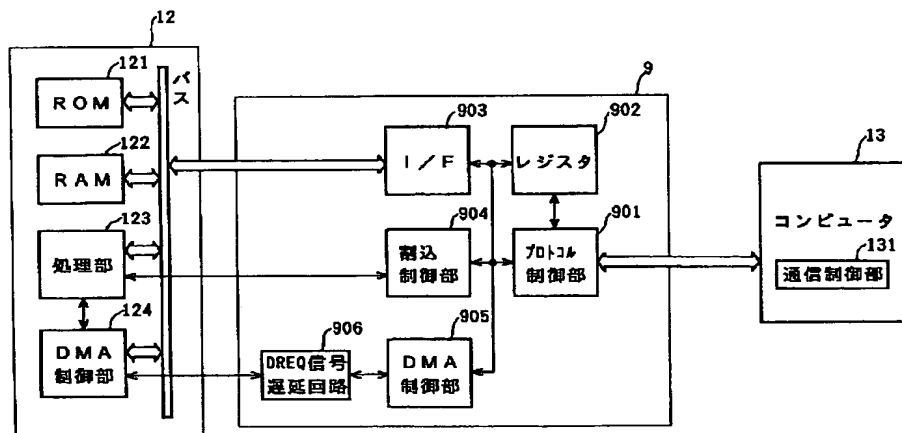
- 1 ファクシミリ装置
- 2 画像読取部
- 3 画像処理部
- 4 画像記録部
- 5 メモリ
- 6 符号化／復号化部
- 7 変復調部
- 8 NCU
- 9 インターフェース部
- 91 応答制御回路（通信間隔伸長手段）
- 901 プロトコル制御部（第2の指示手段）
- 902 レジスタ
- 903 I/F
- 904 割込制御部
- 905 DMA制御部
- 906 DREQ信号遅延回路（遅延手段）
- 907 割込要求信号遅延回路（遅延手段）
- 908 ACK信号遅延回路（遅延手段）
- 10 操作部（第1の指示手段）
- 11 表示部
- 12 制御部（処理制御手段、受付間隔制限手段）

- |                      |               |
|----------------------|---------------|
| 121 ROM              | 131 通信制御部     |
| 122 RAM              | 132 タイマ       |
| 123 処理部 (判別手段, 変更手段) | 14 電話回線       |
| 124 DMA制御部           | 15 他のファクシミリ装置 |
| 13 コンピュータ            |               |

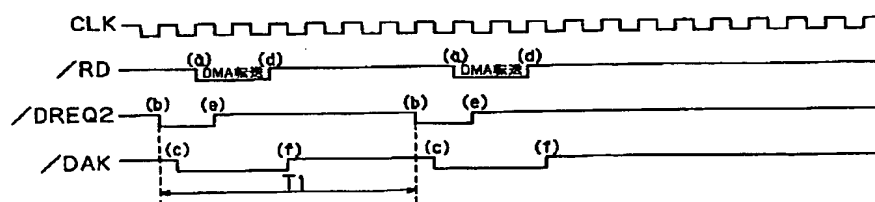
【図1】



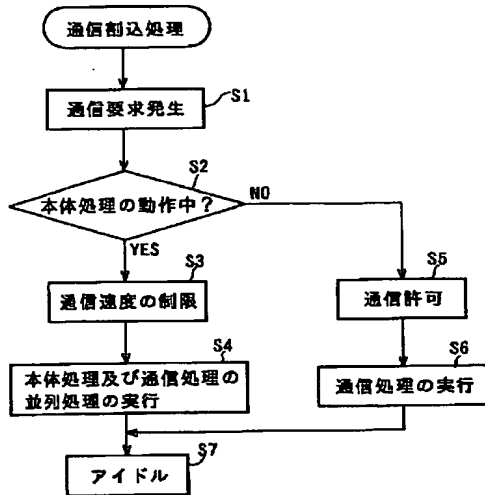
【図2】



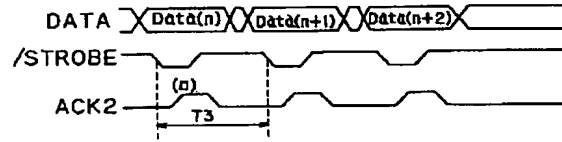
【図4】



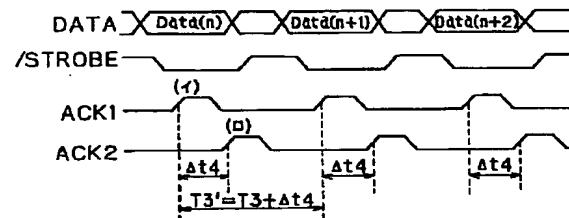
【圖 3】



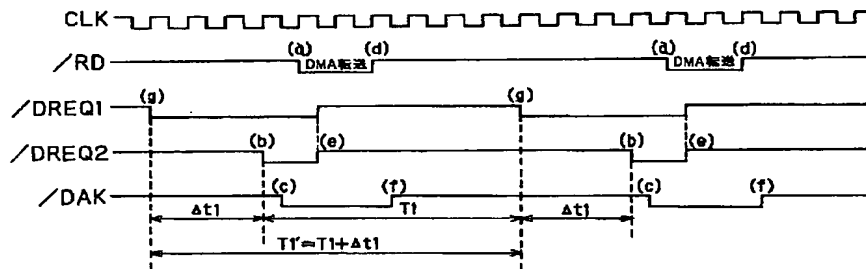
【图 1 2】



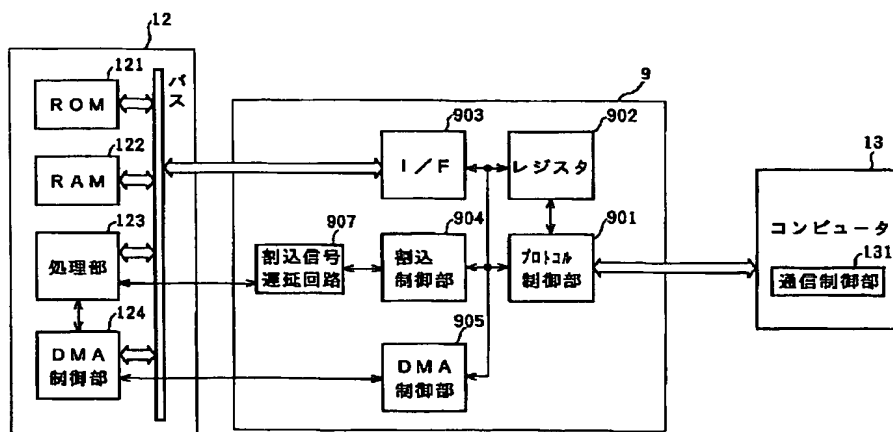
【图 1 3】



【図5】

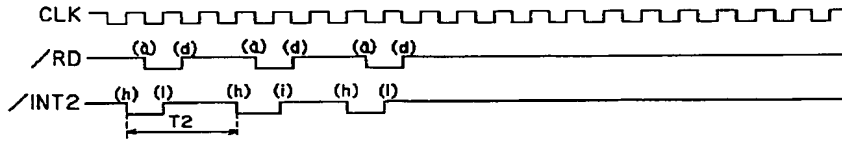


【图6】

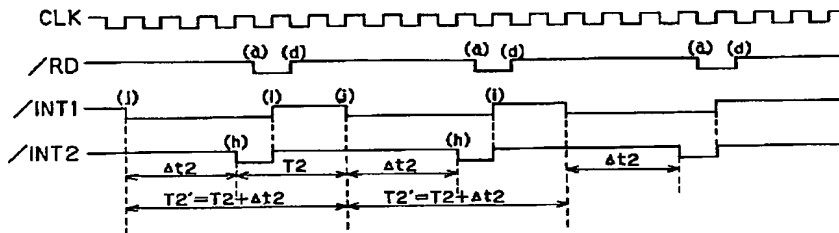




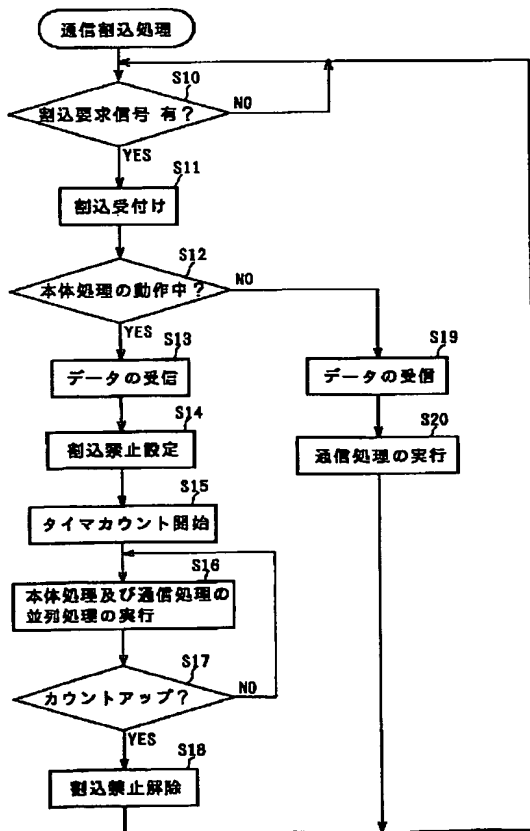
【図 7】



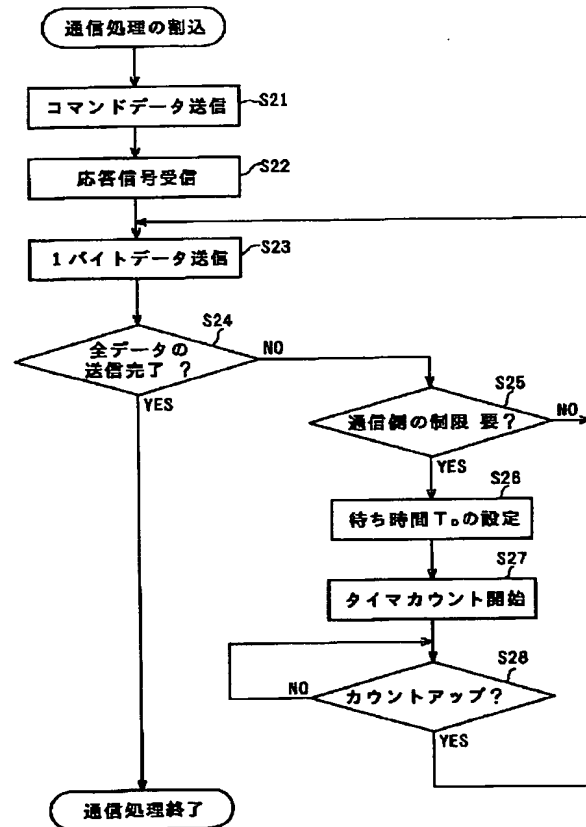
【図 8】



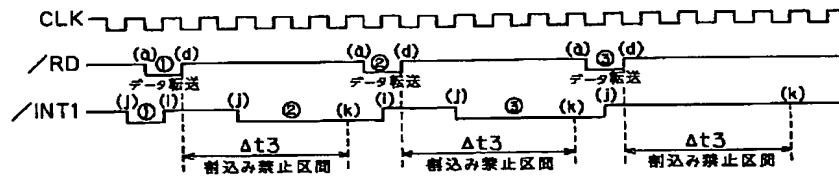
【図 9】



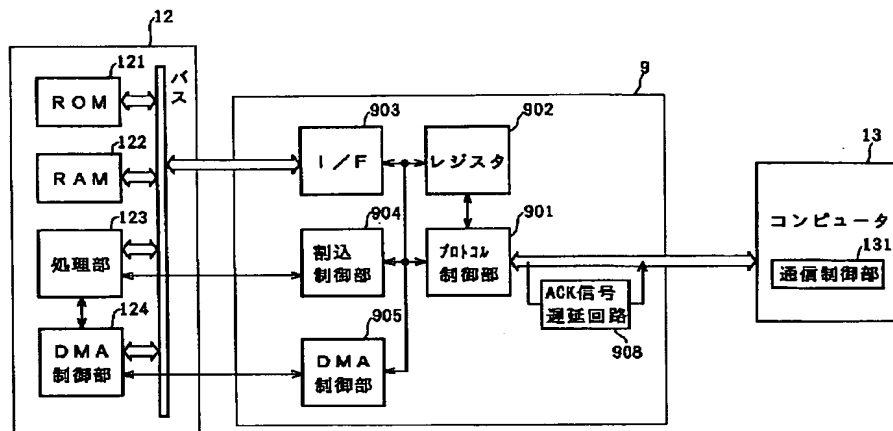
【図 15】



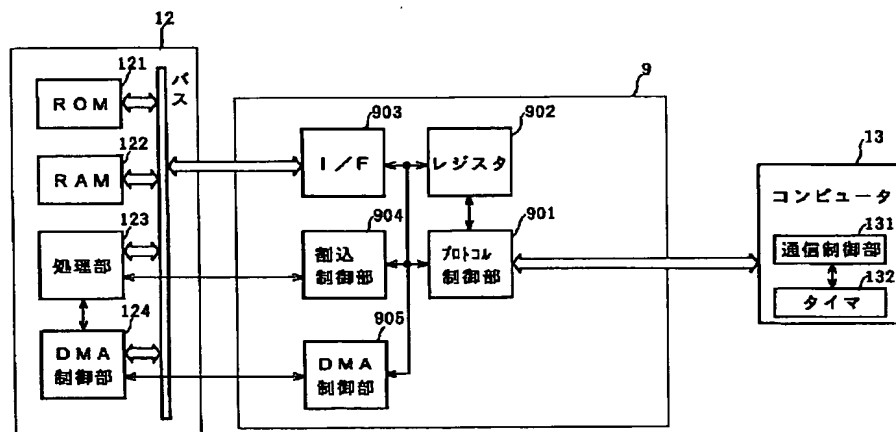
【図10】



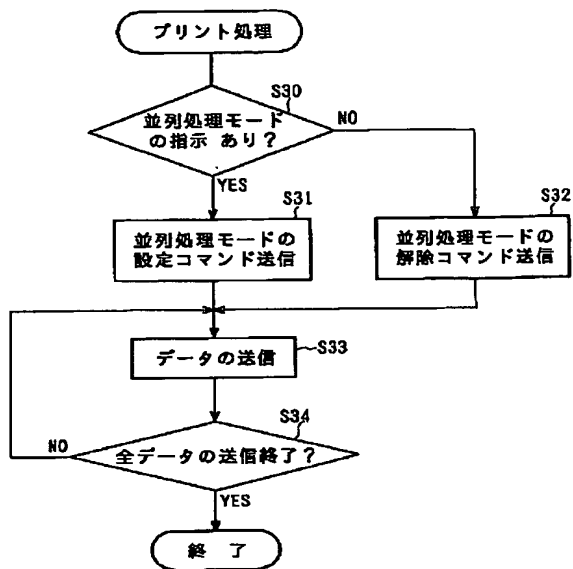
【図11】



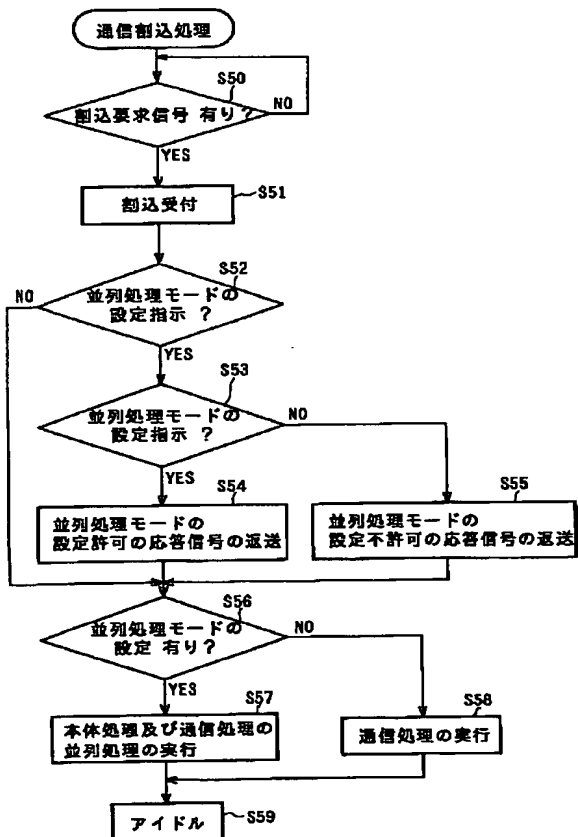
【図14】



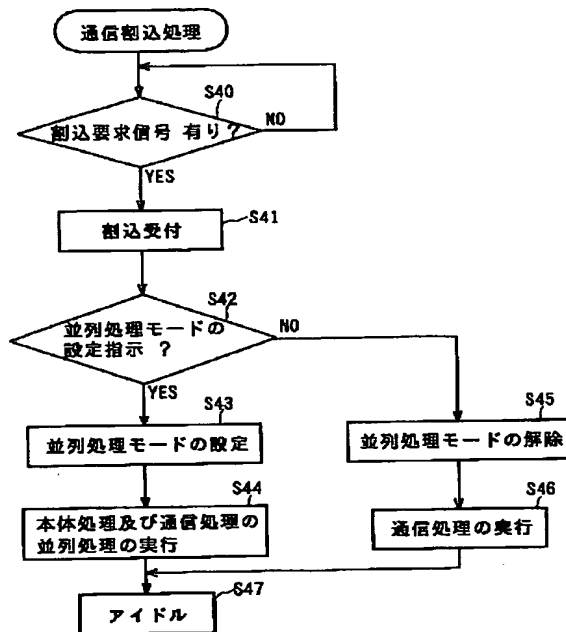
【図16】



【図18】



【図17】



フロントページの続き

(72)発明者 森 俊浩

大阪市中央区玉造 1 丁目 2 番 28 号 三田工  
業株式会社内

(72)発明者 杉本 哲哉

大阪市中央区玉造 1 丁目 2 番 28 号 三田工  
業株式会社内